

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-290458**

(43)Date of publication of application : **15.10.1992**

(51)Int.Cl. H01L 21/82
G11C 29/00
H01L 27/10

(21)Application number : **03-055190** (71)Applicant : **FUJITSU LTD**
KYUSHU FUJITSU
ELECTRON:KK

(22)Date of filing : **19.03.1991** (72)Inventor : **TAZUME HISAO**

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device which includes a semiconductor circuit having a fuse element for storing or programming and an improved power supply circuit for supplying the power for operation to the fuse element thereby realizing sufficient screening during the burn-in test and suppression of grow back phenomenon of the fuse element during actual operation.

CONSTITUTION: A semiconductor device 1 comprises a power supply circuit 4 for supplying the power for operation to a semiconductor circuit 3 having a fuse element 2 for storing information and this power supply circuit 4 also comprises an application voltage control circuit 5 for applying at the time of test of the semiconductor circuit 3 a voltage higher than the voltage applied to the fuse element 2 during operation of the semiconductor circuit 3 depending on an external control signal C.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-290458

(43) 公開日 平成4年(1992)10月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 1 1 C 29/00	3 0 1 B	8526-5L		
H 0 1 L 27/10	4 9 1	8728-4M		
		7638-4M	H 0 1 L 21/82	F

審査請求 未請求 請求項の数3(全 7 頁)

(21) 出願番号 特願平3-55190

(22) 出願日 平成3年(1991)3月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000142470

株式会社九州富士通エレクトロニクス

鹿児島県薩摩郡入来町副田5950番地

(72) 発明者 田爪 久生

鹿児島県薩摩郡入来町副田5950番地 株式

会社九州富士通エレクトロニクス内

(74) 代理人 弁理士 石川 泰男

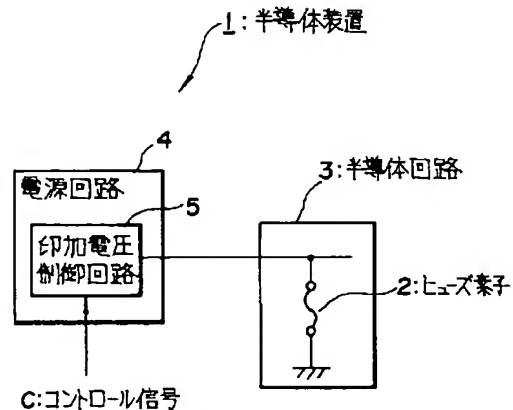
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は、データ記憶用またはプログラミング用のヒューズ素子を有する半導体回路を備えた半導体装置に係り、特にヒューズ素子に動作用の電源を供給する電源回路の改良技術に関し、バーンイン試験時にスクリーニングが十分に行なえとともに、実動作時のヒューズ素子のGrow Back 現象の抑制が可能な半導体装置を提供することを目的とする。

【構成】 半導体装置1は、情報記憶用のヒューズ素子2を有する半導体回路3に動作用の電源を供給する電源回路4を備え、この電源回路4は、外部からのコントロール信号Cに基づいて半導体回路3の動作時にヒューズ素子2に印加される電圧よりも高い電圧を半導体回路3の試験時にヒューズ素子2に印加する印加電圧制御回路5を備えている。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 情報記憶用のヒューズ素子(2)を有する半導体回路(3)に動作用の電源を供給する電源回路(4)を備えた半導体装置において、前記電源回路(4)は、外部からのコントロール信号(C)に基づいて前記半導体回路(3)の動作時に前記ヒューズ素子(2)に印加される電圧よりも高い電圧を前記半導体回路(3)の試験時に前記ヒューズ素子(2)に印加する印加電圧制御回路(5)を備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記印加電圧制御回路(5)は、前記電源回路の電源電圧を分圧する分圧回路(R_1 、 R_2)と、前記コントロール信号(S_c)に基づいて、前記半導体回路(3)の試験時には前記電源電圧(V_{cc})を前記ヒューズ素子(F_1 、 F_2)に印加し、前記半導体回路(3)の動作時には前記分圧された電源電圧を前記ヒューズ素子(F_1 、 F_2)に印加する電圧切換回路(T)と、を備えたことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記印加電圧制御回路(5)は、前記電源回路(4)の電源電圧を昇圧する昇圧回路と、前記コントロール信号(S_c)に基づいて、前記半導体回路(3)の試験時には前記昇圧された電源電圧を前記ヒューズ素子(2)に印加し、前記半導体回路(3)の動作時には前記電源電圧(V_{cc})を前記ヒューズ素子(2)に印加する電圧切換回路(T)と、を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ記憶用またはプログラミング用のヒューズ素子を有する半導体回路を備えた半導体装置に係り、特にヒューズ素子に動作用の電源を供給する電源回路の改良技術に関する。半導体装置が高集積化していくにつれて、より信頼性の高い半導体装置を製造することが急速に困難になっている。特にメモリにおいては、新規の製造技術を用いて開発されるため、初期の試作時の欠陥レベルが高く歩留まりがきわめて高い。こうした問題を解決する方策として、現在、実用的には冗長な行や列を数本加えて、不良のセルや行、列を入れ替える冗長回路技術が用いられている。

【0002】近年、半導体装置の高信頼性の要求に対応して、このような冗長回路に用いられる冗長用ヒューズ素子においても高信頼性が要求されている。

【0003】

【従来の技術】従来の半導体装置においては、信頼性を向上させるため冗長回路技術が用いられ、例えば、メモリアレイにおいては、正規のアレイ中に不良ビットが存在する場合、その行に対応するアドレス信号に対して選択動作を行うようにスベアデコーダをプログラミングし

ている。これにより不良ビットを含むアドレス信号が入力されると、スベアデコーダが選択され同時に正規の行デコーダに対して選択禁止信号が出力され、正規の行の代わりにスベア行が選択されることとなる。このようにしてメモリアレイにおいて、信頼性を向上させている。このスベアデコーダのプログラミングには不揮発性の素子が用いられており、ヒューズ素子が多く用いられている。

【0004】以下、上述したような冗長用のヒューズ素子を有する従来の半導体回路について、図3を参照して説明する。図3(a)に第1の従来の半導体装置の構成図を示す。半導体装置20Aは、冗長用ヒューズ素子を有する半導体回路に動作用の電源を供給する電源V(電源電圧 V_{cc})と、電源Vと抵抗 R_{21} 、 R_{22} 間に並列に接続された第1ヒューズ素子 F_{11} および第2ヒューズ素子 F_{12} と、第1ヒューズ素子 F_{11} と第3抵抗 R_{21} の中間点に第1入力端子 I_1 が接続され、第2ヒューズ素子 F_{12} と第4抵抗 R_{22} の中間点に第2入力端子 I_2 が接続されたE-OR回路(Exclusive-OR回路)21と、第1ヒューズ F_{11} とグランドの間に接続された第3抵抗 R_{21} と、第2ヒューズ F_{12} とグランドの間に接続された第4抵抗 R_{22} とを備えて構成されている。

【0005】第1ヒューズ素子および第2ヒューズ素子の切断は、図示しない書き込み回路により電源電圧 V_{cc} よりも高い所定の電圧を印加することにより行う。例えば、ポリシリコンにより形成されたヒューズ素子においては、ヒューズ素子切断時に印加電圧によるジュール熱の発生によりポリシリコンが溶けて、酸化物が形成され絶縁状態となる。

【0006】E-OR回路21は、一旦切断されたヒューズ素子が再び再成長などにより導通する現象(以下、Grow Back 現象という。)を検出するために設けられている。このGrow Back 現象の原因としては、バーンイン試験時の電圧印加により上記ヒューズ素子切断時に生成した酸化物の絶縁特性が劣化し再び導通状態となること等が考えられており、このGrow Back 現象は印加電圧により加速されることが知られている。実際にGrow Back 現象を検出する方法は、E-OR回路21の出力信号は、両ヒューズ素子 F_{11} 、 F_{12} が導通している場合と両ヒューズ素子 F_{11} 、 F_{12} とも非導通の場合には、“L”が出力され、それ以外の場合には、“H”が出力されるので、これを監視することにより検出する。

【0007】上記第1の従来の半導体回路20Aにおいては、バーンイン試験時並びに実動作時に第1ヒューズ素子 F_{11} および第2ヒューズ素子 F_{12} に電源電圧 V_{cc} が印加されている。図3(b)に第2の従来の半導体装置の構成図を示す。半導体装置20Bは、冗長用ヒューズ素子を有する半導体回路に動作用の電源を供給する電源V(電源電圧 V_{cc})と、電源Vとグランド間に直列に接続された第1抵抗 R_{11} および第2抵抗 R_{12} と、第1抵抗

R_{11} と第2抵抗 R_{12} の中間接続点Pとグランド間に並列に接続された第1ヒューズ素子 F_{11} および第2ヒューズ素子 F_{12} と、第1ヒューズ素子 F_{11} と第3抵抗 R_{21} の中間点に第1入力端子 I_1 が接続され、第2ヒューズ素子 F_{12} と第4抵抗 R_{22} の中間点に第2入力端子 I_2 が接続されたGrow Back現象を検出するE-OR回路21と第1ヒューズ素子 F_{11} とグランドとの間に接続された第3抵抗 R_{21} と、第2ヒューズ素子 F_{12} とグランドの間に接続された第4抵抗 R_{22} と、を備えて構成されている。

【0008】上記第2の従来の半導体回路においては、バーンイン試験時並びに実動作時に第1ヒューズ素子 F_{11} および第2ヒューズ素子 F_{12} には、第1抵抗 R_{11} および第2抵抗 R_{12} により電源電圧 V_{cc} が分圧され $1/2 V_{cc}$ が印加されている。また、第1ヒューズ素子 F_{11} および第2ヒューズ素子 F_{12} の切断は、上述した方法と同様な方法により図示しない書き込み回路により $1/2 V_{cc}$ よりも高い電圧を印加することにより行う。Grow Back現象の検出方法は、第1の従来例と同様である。

【0009】

【発明が解決しようとする課題】ところで、Grow Back現象は印加電圧が高くなるにつれて加速されるが、従来の冗長用ヒューズを有する半導体回路においては、実動作時とバーンイン試験時で同じ電圧を印加していたため、以下のような問題点が生じていた。まず、第1の従来例においては、実動作時およびバーンイン試験時において高電圧（電源電圧 V ）が印加されるので、スクリーニング（Screening）は十分に行えるが、実動作時にGrow Back現象が加速されてしまうという問題点があった。一方、第2の従来例においては、実動作時およびバーンイン試験時において低電圧（電源電圧 V の $1/2$ ）が印加されるので、実動作時にGrow Back現象は抑制されるが、スクリーニングが十分に行えないという問題点があった。

【0010】そこで本発明は、バーンイン試験時にスクリーニングが十分に行なえたとともに、実動作時のヒューズ素子のGrow Back現象の抑制が可能な半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】図1に本発明の原理説明図を示す。半導体装置1は、情報記憶用のヒューズ素子2を有する半導体回路3に動作の電源を供給する電源回路4を備え、この電源回路4は、外部からのコントロール信号Cに基づいて半導体回路3の動作時にヒューズ素子2に印加される電圧よりも高い電圧を半導体回路3の試験時にヒューズ素子2に印加する印加電圧制御回路5を備えている。

【0012】

【作用】印加電圧制御回路5は、外部からのコントロール信号Cに基づいて半導体回路3の試験時に半導体回路3の動作時にヒューズ素子2に印加される電圧よりも高

い電圧をヒューズ素子2に印加する。したがって、半導体回路3の試験時には、動作時に印加される電圧よりも高い電圧がヒューズ素子2に印加されるためヒューズ素子2のスクリーニングが十分行え、動作時には、低い電圧を印加することによりヒューズ素子2のGrow Back現象を抑制する。

【0013】

【実施例】図2を参照して本発明の実施例を説明する。半導体装置10は、半導体回路に動作の電源を供給する電源V（電源電圧 V_{cc} ）と、電源Vとグランド間に直列に接続された第1抵抗 R_1 および第2抵抗 R_2 と、第1抵抗 R_1 と第2抵抗 R_2 の中間接続点Pにソース端子Sが接続され、ドレイン端子Dが電源 V_{cc} に接続され、ゲート端子Gに外部からのコントロール信号 S_c が入力されるトランジスタTと、第1抵抗 R_1 と第2抵抗 R_2 の中間接続点Pとグランド間に並列に接続された第1ヒューズ素子 F_1 および第2ヒューズ素子 F_2 と、第1ヒューズ素子 F_1 と第3抵抗 R_3 の中間点に第1入力端子 I_1 が接続され、第2ヒューズ素子 F_2 と第4抵抗 R_4 の中間点に第2入力端子 I_2 が接続され、Grow Back現象の発生を検出するE-OR回路11と第1ヒューズ素子 F_1 とグランドとの間に接続された第3抵抗 R_3 と、第2ヒューズ素子 F_2 とグランド間に接続された第4抵抗 R_4 と、を備えて構成されている。

【0014】第1ヒューズ素子 F_1 および第2ヒューズ素子 F_2 は、例えば、ポリシリコンにより形成されており、これらのヒューズ素子 F_1 、 F_2 は1組として取り扱われ、ヒューズ素子切断時には同時に切断されることとなる。次に、半導体装置の動作をバーンイン試験時と実動作時に分けて説明する。

バーンイン試験時

半導体装置のバーンイン試験時には、半導体装置10の外部からトランジスタTのゲート端子Gにコントロール信号 S_c を入力する。これによりトランジスタTはオン状態となり、トランジスタTのドレイン端子D、ソース端子S、中間接続点Pを介して第1ヒューズ素子 F_1 および第2ヒューズ素子 F_2 を有する半導体回路に電源電圧 V_{cc} が印加される。また、Grow Back現象を検出する方法は、AND回路11の出力信号は、両ヒューズ素子 F_{11} 、 F_{12} が導通している場合と非導通の場合には、“L”が出力され、それ以外の場合には、“H”が出力されるので、これを監視することにより検出する。

【0015】したがって、バーンイン試験時には、高い電圧によりスクリーニングを行うことができるので、各ヒューズ素子 F_1 、 F_2 のGrow Back現象を加速することができ、Grow Back現象に起因する不良をこの段階で発見することができる。

実動作時

半導体装置の実動作時には、半導体装置10の外部からコントロール信号 S_c が入力されないで、トランジス

タTはオフ状態となり、電源電圧 V_{cc} が第1抵抗 R_1 に入力され、第1抵抗 R_1 および第2抵抗 R_2 により分圧されて、中間接続点Pからは、第1ヒューズ素子 F_1 および第2ヒューズ素子 F_2 を有する半導体回路に電源電圧 V_{cc} の1/2の電圧が印加されることとなる。

【0016】したがって、実動作時にはバーンイン試験時より低い電圧により半導体装置を動作させているので、第1ヒューズ素子 F_1 および第2ヒューズ素子 F_2 が切断された後のGrow Back現象を抑制することができる。以上の説明のように本発明によれば、半導体装置のバーンイン試験時にGrow Back現象を加速し、実動作時にはGrow Back現象を抑制するような電圧をヒューズ素子を有する半導体回路に印加するので、半導体装置の試験時にスクリーニングが十分に行え冗長用ヒューズ素子の不良を判別することができるとともに、実動作後の冗長用ヒューズ素子の信頼性を向上させることができる。

【0017】以上の実施例においては、バーンイン試験時に半導体回路に電源電圧 V_{cc} を印加し、実動作時に電源電圧の半分の1/2 V_{cc} を半導体回路に印加するように構成していたが、バーンイン試験時にGrowBack現象を加速するような高い電圧を印加し、実動作時にはGrow Back現象を抑制するような低い電圧を印加するように構成すれば、本発明の適用が可能である。

【0018】また、以上の実施例においては、バーンイン試験時に半導体回路に電源電圧 V_{cc} を印加するように構成していたが、DC-DCコンバータ等を用いた電源電圧を昇圧する昇圧回路を設け、バーンイン試験時には、コントロール信号により昇圧された電圧をヒューズ素子に印加し、動作時には電源電圧をヒューズ素子に印加するように構成しても良い。

【0019】さらに以上の実施例においては、ヒューズ素子をポリシリコンで形成した場合についてのみ説明したが、同様に熱により酸化物を形成して絶縁物とする形式のヒューズ素子を有する他の半導体回路にも本発明の適用が可能である。また、さらに以上の実施例において

は、冗長用のヒューズ素子についてのみ説明したが、PROM (Programmable Read Only Memory) 等のメモリセルにヒューズ素子が用いられている半導体記憶装置にも本発明の適用が可能である。

【0020】

【発明の効果】本発明によれば、印加電圧制御回路は、半導体回路の試験時に半導体回路の動作時の電圧よりも高い電圧ヒューズ素子に印加するので、スクリーニングを十分行なえとともに、半導体回路の動作時にはヒューズ素子のGrow Back現象を抑制することができ、ヒューズ素子の信頼性を向上させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の実施例の基本構成図である。

【図3】従来例の基本構成図である。

【符号の説明】

1…半導体装置

2…ヒューズ素子

3…半導体回路

4…電源回路

5…印加電圧制御回路

10…半導体装置

11…E-OR回路

C…コントロール信号

F_1 …第1ヒューズ素子

F_2 …第2ヒューズ素子

P…中間接続点

R_1 …第1抵抗

R_2 …第2抵抗

R_3 …第3抵抗

R_4 …第4抵抗

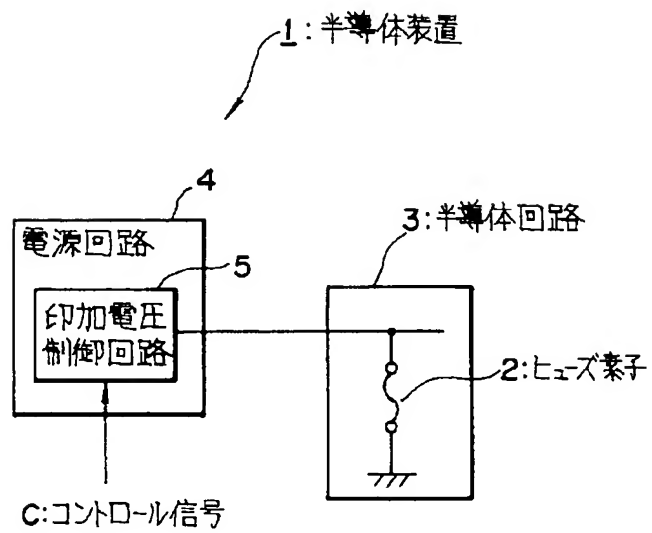
S_c …コントロール信号

T…トランジスタ

V…電源

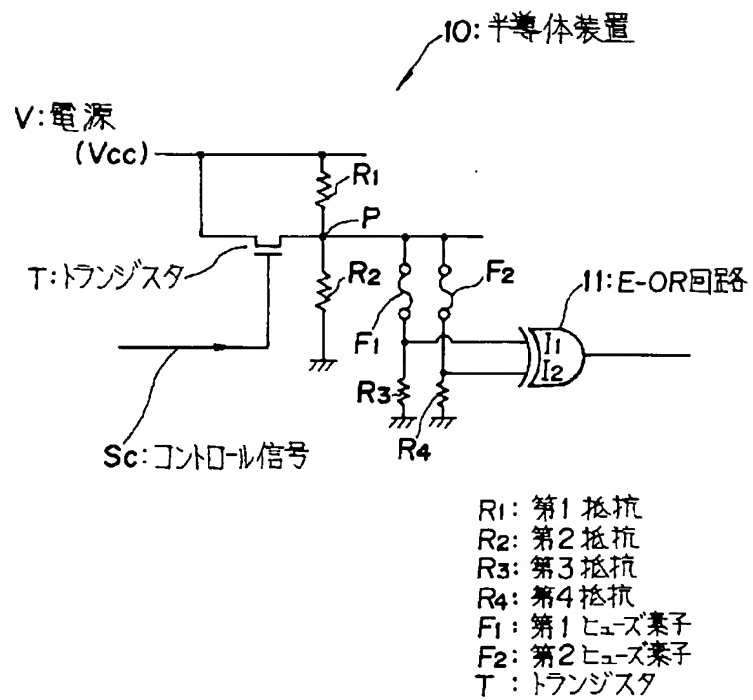
【図1】

本発明の原理説明図



【図2】

本発明の実施例の基本構成図



【図3】

従来例の基本構成図

